

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

11-052416

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G02F 1/136

G02F 1/133

G09F 9/35

H01L 29/786

H01L 21/336

(21)Application number : 09-206765

(71)Applicant : TOSHIBA CORP

(22)Date of filing :

31.07.1997

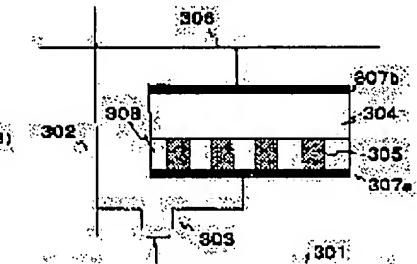
(72)Inventor : ONOZUKA YUTAKA

AKIYAMA MASAHIKO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND THIN-FILM TRANSISTORS

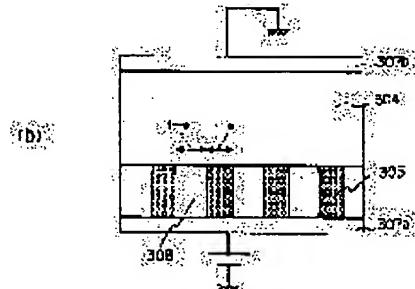
(57)Abstract:

PROBLEM TO BE SOLVED: To improve display quality and holding characteristics and to reduce electric power consumption in a liquid crystal display device capable of executing memory driving by arranging ferroelectric at pixels.



SOLUTION: Composite dielectric layers

approximately periodically disposed with ferroelectric layers 305 and paraelectric layers 308 are formed on pixel electrodes 307a. These dielectric layers are so disposed as to have an electromagnetic effect on a liquid crystal layer 304 to control the states, such as alignment state and phase transition state, of the liquid crystal layer 304 by the polarization state of the ferroelectric layers 305. The dielectric constant of the dielectric layers is effectively lowered and driving voltage V is lowered by combining the paraelectric layers 308 and the ferroelectric layers 305. Display unevenness is lessened and display quality is improved by approximately periodically disposing the ferroelectric layers 305 and the paraelectric layers 308.



LEGAL STATUS

[Date of request for examination] 01.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 2980574

[Date of registration] 17.09.1999

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-52416

(43)公開日 平成11年(1999)2月26日

(51)Int.Cl.⁶

G 02 F 1/136
1/133
G 09 F 9/35
H 01 L 29/786
21/336

識別記号

5 0 0

5 5 0

3 0 2

2 9/78

2 1/336

F I

G 02 F 1/136
1/133
G 09 F 9/35
H 01 L 29/78
6 1 7 S
6 1 7 T

審査請求 有 請求項の数 3 O L (全 18 頁) 最終頁に続く

(21)出願番号

特願平9-206765

(22)出願日

平成9年(1997)7月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小野塚 豊

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72)発明者 秋山 政彦

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

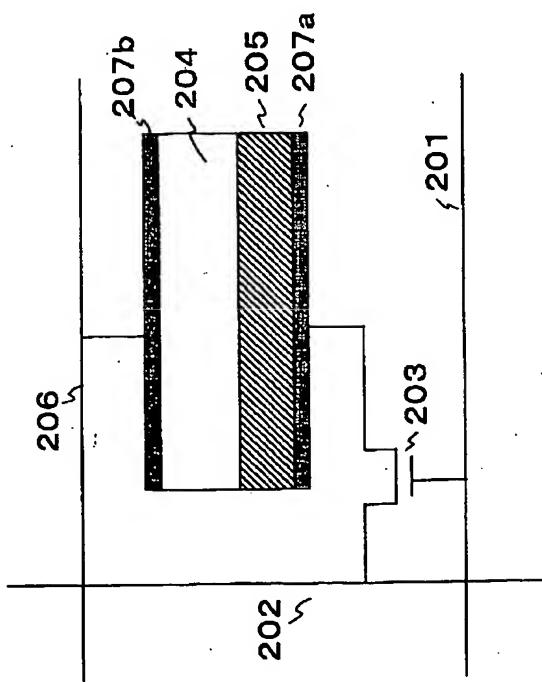
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 液晶表示装置および薄膜トランジスタ

(57)【要約】

【課題】 強誘電体を画素に配置してメモリ駆動を行うことができる液晶表示装置において、表示品質、保持特性を向上し、消費電力を低減する。

【解決手段】 画素電極307a上に強誘電体層305と常誘電体層308を概周期的に配設した複合的な誘電体層を形成し、この誘電体層を液晶層304に電磁気的に影響を及ぼすように配設して、液晶層304の配向状態、相転移状態などの状態を強誘電体305の分極状態により制御する。常誘電体308と強誘電体層305とを組み合わせることで誘電体層の誘電率を実効的に下がり、駆動電圧Vを低減する。また強誘電体305と常誘電体308を概周期的に配設することで表示ムラが低減し、表示品質が向上する。



【特許請求の範囲】

【請求項1】 第1の基板と第2の基板との間に挟持された液晶層と、

前記第1の基板上に配設された第1の電極と、表示信号を選択して前記第1の電極に印加する手段と、前記第1の電極上に強誘電体からなる第1の領域と常誘電体からなる第2の領域とが概周期的に配設された誘電体層とを具備したことを特徴とする液晶表示装置。

【請求項2】 前記誘電体層の前記第1の領域と前記第2の領域とは約0.5μmの幅を有するストライプ状に配設されたことを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 第1の面と第2の面とを有し、チャネル領域と、前記チャネル領域を挟むように配設されたコンタクト領域とを有する半導体膜と、前記半導体膜の第1の面に前記コンタクト領域とオーミック接合するように配設されたソース電極およびドレン電極と、前記半導体膜の第2の面に配設された誘電体膜と、前記誘電体膜を介して前記半導体膜の前記チャネル領域と対向するように配設され、ゲート電極とを具備し、前記誘電体膜は、前記チャネル領域と対向する領域に前記ソース電極とドレン電極の配設方向と実質的に平行な方向に配設されたストライプ状の強誘電体を有することを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示装置に関し、特に画素部に強誘電体を配設してメモリ性を持たせた液晶表示装置に関する。また本発明は薄膜トランジスタに関し、特に半導体膜とゲート電極との間に強誘電体を配設してスイッチング状態を保持することができる薄膜トランジスタに関する。

【0002】

【従来の技術】 液晶表示装置は、薄型、軽量で低消費電力であるという特徴を持ち、大画面の薄型テレビ、ノートブック型パソコン等のディスプレイとして広く利用されている。近年は、PDA等の携帯情報機器への搭載も行われ、利用用途もさらに広がっていくと予想される。特に携帯用情報端末への適用では、長時間バッテリー駆動で使用できるように消費電力を低減することが望まれる。

【0003】 図1は従来のアクティブマトリクス型液晶表示装置の構成を概略的に示す図であり、図2は従来の液晶表示装置の画素構成を概略的に示す図である。なお、図2では簡単のため補助容量105の図示を省略している。信号線Vsig 102、ゲート線Vg 101の交点に薄膜トランジスタ103が配列している。通常、信号線102には常に画像信号が送られている。ゲート線101には、60Hzの周波数でパルス信号を与え、選

択されたゲート線101に属する薄膜トランジスタ103は選択時のみオン状態になり、信号線102より液晶容量104と補助容量105に画像信号が書き込まれる。通常、直流電圧がかかると液晶層104の焼き付きが起こるため、プラス、マイナスの極性の信号電圧が60Hz毎に交互に書き込まれる（交流駆動）。

【0004】 液晶表示装置の駆動に要する消費電力Pは、付加容量（液晶容量C_{Lc}と補助容量C_s）をC、駆動周波数をf、駆動電圧をVとするとき、式1のようになる。

【数1】

$$P = C f V^2$$

で表される。すなわち、駆動周波数f、駆動電圧を下げるにより、低消費電力化できることがわかる。このうち、駆動電圧は少なくとも、液晶の駆動電圧（現状のTN液晶の場合、5V）以上は必要である。低電圧化により3V程度で駆動なTN液晶もあるが、これ以上駆動電圧を下げるとは技術的に困難である。さらになる低消費電力化を図るために、駆動周波数を現状の60Hzに対し、より低い駆動周波数へと低減していく必要がある。特に、全表示画素において書き換えを必要としない場合には、信号線電圧を供給しない間欠的な駆動を行うことにより、消費電力をかなり低減化できることが知られている。ただし、電源を切った状態で画素電圧を保持するためには、画素部分にメモリ性を備えることが必要となる。

【0005】 画素にメモリ性をもたせる方法の1つとして、強誘電性液晶（SSFLC）を用いた表示装置がある。強誘電性液晶（SSFLC）は、電源を切っても液晶自体が画素電圧をメモリーしているため、低消費電力化が可能である。しかしながら、強誘電性液晶は耐衝撃性に乏しいため、わずかの振動でも表示が乱れたりするなど表示上の安定性に問題がある。また、通常はバックライトを必要とする表示モードとなるため、携帯用途に適している反射型液晶表示装置に適用することが困難であることが知られている。

【0006】 したがって、バックライトを必要としない反射型液晶表示装置に適用可能で良好な表示特性が得られるゲストホスト型液晶材料などを用いた非メモリ性液晶を用いながら、メモリ駆動を実現することが課題となる。

【0007】 このような課題を解決するため、強誘電体の分極のメモリ性を利用した液晶表示装置が提案されている（特願平8-45074）。図3は画素電極上に強誘電体層を備えた液晶表示装置の構成を模式的に示す図である。この液晶表示装置においては、液晶層204と強誘電体205を直列に接続し、強誘電体層205の分極状態を制御することで液晶層の表示状態を制御するものである。しかし、この構造では強誘電体の分極を制

御するために駆動電圧が大きくなり、消費電力を小さくするのは困難であるという問題があつた。また、チタン酸バリウム、チタン酸ストロンチウム、P Z Tなどの強誘電体を大面積にわたって均一に成膜することが困難であるという問題もあった。

【0008】まず、強誘電体容量と駆動電圧の関係について説明する。図4は強誘電体を画素電極上に配設した液晶表示装置の画素構造を概略的に示す図である。いま図4のような系の回路モデルを考える。強誘電体層402の自発分極 P_s は下向きで、強誘電体402と液晶層403との間には負の自発分極電荷密度 $-P_s$ が誘起されている。これに画素電極401aと対向電極401bとの間に電圧 V を印加することにより、強誘電体402の自発分極を反転させ、正の自発分極電荷 $+P_s$ を書き込む過程を考える。印加電圧 V に対する強誘電体402及び液晶層403それぞれの分圧を V_f 、 V_{lc} 、単位面積当たりの容量を C_f 、 C_{lc} 、それぞれの両端に誘起される電荷密度を D_f 、 D_{lc} 、とする。

【0009】強誘電体層の電荷密度 D_f 及び液晶層の電荷密度 D_{lc} は以下の式2、式3、式4のように表される。

【数2】

$$D_f = C_f V_f - P_s \quad (V_f < V_c)$$

【数3】

$$D_f = C_f V_f + P_s \quad (V_f \geq V_c)$$

【数4】

$$D_f = C_{lc} V_{lc}$$

また、キルヒホッフの第1、第2法則より、

【数5】

$$D_f = D_{lc}$$

【数6】

$$V_f + V_{lc} = V$$

となる。

【0010】強誘電体402に正の自発分極電荷 $+Q_r$ を書き込むためには、強誘電体層402の電圧 V_f が強誘電体の反転閾値（しきい値） V_c 以上にならなければならぬ。したがって、式5に式3、式4を代入し、 $V_f = V_c$ として計算すると、 P_s の電荷を強誘電体402に書き込むために必要な駆動電圧 V は以下のように求まる。

【数7】

$$V = \left(\frac{C_f}{C_{lc}} + 1 \right) V_c + \frac{P_s}{C_{lc}}$$

一方、書き込み電圧を印加後には液晶層403の配向状態を保つ電圧を印加し続ける必要がある。保持時のバイアス電圧を V_c にとる駆動とする。この時、液晶保持電圧 V_{lc} は、 $V = V_c$ として

【数8】

$$V_{lc} = \frac{P_s + C_f V_c}{C_f + C_{lc}}$$

となる。式7、式8より Q_r を消去すると、印加電圧は結局次式のように表される。

【0011】

【数9】

$$V = \left(\frac{C_f}{C_{lc}} + 1 \right) (V_c + V_{lc}')$$

駆動電圧を ΔV とすると、

【数10】

$$\Delta V = V - V_c = \left(\frac{C_f}{C_{lc}} + 1 \right) V_{lc}$$

となる。すなわち、強誘電体402と液晶層403の容量比 C_f/C_{lc} が大きくなると、駆動電圧 V は大きくなることが分かる。

【0012】次に、例えば特願平8-45074のように強誘電体と液晶層とが直接接触した構造の容量値について考察する。このような構造（図4参照）では液晶層403と強誘電体402の面積は等しい。また、一般に液晶層403の誘電率は高々10程度、液晶層の厚さが5μm程度である。これに対し、強誘電体の誘電率は通常低誘電率のものでも10程度、すなわち液晶層とほぼ同程度はある。したがって、仮に強誘電体の膜厚を1μmに設定したとしても、容量比 C_f/C_{lc} は約5程度となる。また、 $V_c = 5V$ 、 $V_{lc} = 5V$ としても、式9により $V = 60 [V]$ 程度となり、このような高い駆動電圧では駆動が困難であるという問題があつた。

【0013】また、電荷を書き込んだ後の特性の安定性にも問題があつた。強誘電体402の面積が液晶層403の面積と等しく、強誘電体402の膜厚に対して大きいため、保持時に強誘電体層402にかかる反電界により、自発分極のメモリー状態が不安定で、駆動していると自発分極の残留量が低下してしまうなどの問題があつた。また、リーク電流の影響で、保持電圧が低下するという問題もあつた。

【0014】なお、強誘電体と絶縁体の積層ゲート絶縁膜をもつM F I S型トランジスタにおいても上記の問題があつた。すなわち、M F I S型トランジスタにおいても、強誘電体の分極を反転するためには、強誘電体層に電圧を十分分圧する必要がある。すなわち、絶縁体に対

する強誘電体の容量比を小さくする必要がある。しかし、絶縁体として用いられるSiO_xなどの誘電率は10以下であり、強誘電体の誘電率よりかなり小さいため、容量比を小さくするのは難しいという問題がある。

【0015】このように、例えば特願平8-45074のような構成では、強誘電体の自発分極によるメモリ性により低周波駆動を行うことができるものの、強誘電体に分極反転させるだけの十分な電圧を与えるためには非常に高い駆動電圧を必要とし、結果的には消費電力を低減することは困難であるという問題があった。また、反電界やリーク電流の影響で、液晶層の保持状態が不安定であるという問題もあった。さらに、MFIIS型のトランジスタにおいても同様な問題があった。

【0016】

【発明が解決しようとする課題】本発明はこのような問題点を解決するためになされたものである。すなわち本発明は、消費電力の小さな液晶表示装置を提供することを目的とする。また本発明は、表示ムラがなく、消費電力が小さい液晶表示装置を提供することを目的とする。また本発明の液晶表示装置はメモリ駆動時の保持特性の優れた液晶表示装置を提供することを目的とする。

【0017】さらに本発明はメモリ性を有し、駆動電圧の小さな薄膜トランジスタを提供することを目的とする。また本発明は保持特性の良好な薄膜トランジスタを提供することを目的とする。

【0018】

【課題を解決するための手段】このような課題を解決するためには以下のような構成を備えたものである。

【0019】本発明の液晶表示装置は、第1の基板と第2の基板との間に挟持された液晶層と、前記第1の基板上に配設された第1の電極と、表示信号を選択して前記第1の電極に印加する手段と、前記第1の電極上に強誘電体からなる第1の領域と常誘電体からなる第2の領域とが概周期的に配設された誘電体層とを具備したことを特徴とする。

【0020】第1の基板としては例えば画素電極が配設されたアレイ基板があり、第2の基板としては例えば対向電極が配設された対向基板があるが、第1の基板を対向基板とし、第2の基板をアレイ基板とするようにしてもよい。第1の基板、第2の基板としては例えばガラス、無アルカリガラス、石英、アクリル樹脂等の透明絶縁性基板を用いることができる。なお、反射型液晶表示装置に本発明を適用する場合には、一方に基板は透明である必要はない。第1の電極は例えば画素電極であり、この画素電極に印加された表示信号電圧により形成される電界により強誘電体と常誘電体からなる誘電体層の分極状態を制御させ、強誘電体の分極状態に応じて液晶層を応答させてその配向状態、相転移状態などを制御して液晶層への入射光を変調するものである。また第

2の基板に例えば対向電極などの第2の電極を配設し、第1の電極と第2の電極との間に形成される電界により強誘電体を含む誘電体層の分極状態を制御するようにしてもよい。

【0021】さらに、第2の電極を第1の基板上に配設し、第1の電極と第2の電極により基板面と略平行な横方向電界を形成し、この横方向電界により強誘電体の分極状態を制御するようにしてもよい。いずれの場合であっても、強誘電体と常誘電体からなる誘電体層の分極状態を表示信号に応じて制御し、誘電体層の分極状態により液晶層を応答させるようにすればよい。

【0022】表示信号を選択して前記第1の電極に印加する手段としては、例えば表示信号を信号線に供給する信号線駆動回路と、信号線に印加される表示信号を選択して前記画素電極に印加する選択手段とを用いるようにしてもよい。選択手段として例えば薄膜トランジスタ(TFT: Thin Film Transistor) MIM(Metal Insulator Metal)などの非線形スイッチング素子と、このスイッチング素子の駆動手段を用いるようにすればよい。例えば、画素電極と信号線とに間に薄膜トランジスタのソース・ドレインを介挿し、走査線駆動回路からアドレス線を介してTFTのゲート電極に走査信号を印加するようすれば、TFTがオン状態になっているときに信号線に供給されている表示信号を選択的に画素電極に供給することができる。

【0023】強誘電体と常誘電体が概周期的に配設された誘電体層は、このとき画素電極に印加される表示信号電圧によりその分極状態を変化させることができる。強誘電体は分極状態を保持することができるから、表示信号を供給しなくとも画素はその表示状態を保持することができる。

【0024】本発明では、誘電体層は強誘電体と常誘電体が概周期的に配設して構成するようにしている。例えば強誘電体と常誘電体とをストライプ状に配設するようにしてもよいし、格子型に配設するようにしてもよい。また円柱形状の強誘電体を常誘電体からなるマトリクスに配設するようにしてもよい。さらに海島型に配設するようにしてもよい。ストライプの幅、格子の配設ピッチ等は等間隔でなくともよい。例えばストライプの幅、格子のピッチ等をスケーリングさせて配設するようにしてもよい。

【0025】また前記誘電体層の前記第1の領域と前記第2の領域とは約0.5μmの幅を有するストライプ状に配設するようにすることができる。このようにすることにより、強誘電体と常誘電体により形成される電界が均一に液晶層に印加させることができ、表示品質を向上することができる。

【0026】本発明の薄膜トランジスタは、第1の面と第2の面とを有し、チャネル領域と、前記チャネル領域

を挟むように配設されたコンタクト領域とを有する半導体膜と、前記半導体膜の第1の面に前記コンタクト領域とオーミック接合するように配設されたソース電極およびドレイン電極と、前記半導体膜の第2の面に配設された誘電体膜と、前記誘電体膜を介して前記半導体膜の前記チャネル領域と対向するように配設されたゲート電極とを具備し、前記誘電体膜は、前記チャネル領域と対向する領域に前記ソース電極とドレイン電極の配設方向と実質的に平行な方向に配設されたストライプ状の強誘電体を有することを特徴とする。

【0027】すなわち本発明の薄膜トランジスタはゲート絶縁膜として、強誘電体と常誘電体とがストライプ状に配設された誘電体膜を採用したものであり、強誘電体のストライプはソース・ドレンインの配設方向と平行に、すなわち半導体膜中の電子、空乏層などのキャリアの移動方向と平行に配設するようにしたものである。このような構成を採用することにより、ゲート電極により半導体膜中にキャリアを誘起するように及ぼされた電界を、強誘電体を含む誘電体層により保持することができる。特に、本発明では、強誘電体ストライプをキャリアの移動方向と平行にソース・ドレンイン間に配設しているため、強誘電体により半導体膜に及ぼされる電界がつねにチャネルに保持される。したがって、ソース・ドレンイン間の導通状態を安定して確保することができる。

【0028】

【発明の実施の形態】以下に本発明の実施形態を例示しながらさらに詳細に説明する。

$$V = \left(\frac{C_f s + C_p (1-s)}{C_{lc}} + 1 \right) V_c + \frac{P_s s}{C_{lc}}$$

となる。また、式8の液晶保持電圧 V_{lc} も式13のように書き換えられる。

【数13】

$$V_{lc} = \frac{P_s s + \{C_f s + C_p (1-s)\} V_c}{C_f s + C_p (1-s) + C_{lc}}$$

$$V = \left(\frac{C_f s + C_p (1-s)}{C_{lc}} + 1 \right) (V_c + V_{lc}')$$

$$= \left(\frac{(C_f - C_p)s + C_p}{C_{lc}} + 1 \right) (V_c + V_{lc}')$$

【数15】

(実施形態1) 図5は本発明の液晶表示装置の構成の例を概略的に示す図である。図5(a)は本発明の液晶表示装置の画素の構成を概略的に示す図であり、図5(b)は図5(a)の画素の駆動電圧を説明するための図である。本発明の液晶表示装置では、画素電極307a上に強誘電体層305と常誘電体層308を概周期的に配設した複合的な誘電体層を形成し、この誘電体層を液晶層304に電磁気的に影響を及ぼすように配設して、液晶層304の配向状態、相転移状態などの状態を強誘電体305の分極状態により制御するものである。

このため、強誘電体層305の誘電率を実効的に下げることができ、駆動電圧Vを低減できるようになった。

【0029】以下に、式を用いて、強誘電体層を含む誘電体層の駆動電圧Vについて定量的に説明する。図5(b)に示すように、誘電体層を強誘電体層305と常誘電体層308の複合構造として形成した。いま、強誘電体305と常誘電体308の面積比をs : (1-s)に分割した系を考える。このとき、常誘電体層308の単位面積当たりの容量をCpとするとき、式3は式11のように書き換える。

【数11】

$$D_f = \{C_f s + C_p (1-s)\} V_f + P_s s$$

ここで式4、式11を式5、式6に代入すると、

【数12】

したがって、式12、式13から、Vおよび ΔV はそれぞれ式14、式15のようになる。

【数14】

$$\Delta V = \left(\frac{(C_f - C_p)s + C_p}{C_{lc}} + 1 \right) V_{lc},$$

つまり、駆動電圧Vは、強誘電体305より単位面積当たりの容量（あるいは誘電率）の小さい常誘電体308の面積に対する強誘電体305の面積比sを小さくすることで、低減することができる。これは、単位面積当たり強誘電体より小さい容量の常誘電体層を、強誘電体層の周囲に形成することにより、実効的な容量を低下させることができるためである。

【0030】このように本発明の液晶表示装置によれば、強誘電体のメモリ性を利用して消費電力を低減することができる。また、本発明の液晶表示装置によれば、強誘電体を含む誘電体層の駆動電圧を大幅に低減することができる。したがって、消費電力を低減することができる。

【0031】(実施形態2) 図13は本発明の液晶表示装置の構成の例を模式的に示す図である。

【0032】液晶層にはTN(ツイストネマティック)液晶層を用いた(誘電率約5、厚さ約5μm)。強誘電体としては厚さ約1μmのBaMgF4(以下BMFという、誘電率約10)を用い、常誘電体としては厚さ約1μmのBCB(ベンゾシクロブテン)(誘電率約3)をそれぞれストライプ状に配設した。このような系で誘電体層の駆動電圧ΔVを見積もった。

【0033】図14はこの強誘電体と常誘電体からなる誘電体層の駆動電圧ΔVを示す図である。従来の例(s=1:誘電体層はすべて強誘電体)の場合では、駆動電圧ΔVは5.5Vであるのに対し、本発明の構成では(s=0.5:強誘電体と常誘電体の面積比が等しい)ΔVは約3.7.5Vまで低減することができる。このように本発明の液晶表示装置では約30%も駆動電圧を低減することができるがわかる。

【0034】なお、このように強誘電体を常誘電体中に分散配置した構造においては、強誘電体の分極電荷が散在することになるため、液晶層に均一に電界を印加することが困難になる場合がある。このような場合には、強誘電体と常誘電体の配設ピッチ(島周期)を小さくすることにより液晶層に均一な電界を印加できるようになる。また、強誘電体と常誘電体とを海島型に配設するようにもよく液晶層に均一な電界を印加できるようになる。

【0035】実際に、図13に例示したような構成の液晶表示装置における強誘電体の保持時の電位分布を計算した。ここでは強誘電体としてはBMFを用い、常誘電体としてはBCBを用いた例を説明する。図15は強誘電体と常誘電体のストライプ幅を等しくし(s=0.5)、その幅を0.5μm~5μmにわたって変化させたときの強誘電体と液晶層の界面での電位分布を示すグ

ラフであり、図16は電界分布の標準偏差の強誘電体のストライプ幅への依存性を示すグラフである。図15からわかるように、ストライプ幅を約0.5μmにすることにより、±0.3V程度の誤差でほぼ均一に液晶層に保持電圧(5V)を印加することができる。したがって、ストライプの典型的な幅を約0.5μm程度、あるいはこれよりも小さくすることにより液晶表示装置の表示品質を向上することができる。

【0036】なお、強誘電体層305に保持時生じる反電界は、強誘電体305の自発分極の保持を不安定にするという問題がある。反電界は強誘電体の形状に依存し、とくに分極方向に平行に長く伸びた形状であればあるほど、小さくなることが知られている。したがって、本発明の液晶表示装置では、分極方向に長い柱状構造をとることにより、強誘電体305内の反電界を低減することができる。このような構成により強誘電体の分極状態のエネルギーがより低下し、安定な分極保持特性を得ることができるようになつた。さらに、強誘電体層305の面積を小さくし、強誘電体305よりは十分抵抗率の大きい常誘電体308を回りに配置したことにより、実効的な抵抗も上げることができた。

【0037】なお、この強誘電体、常誘電体の複合構造をMFS-薄膜トランジスタに適用したところ、上記の例と同様に低電圧駆動を行うことができた。

【0038】このように、本発明では、強誘電体を画素電極の上に形成し液晶層と直接接触させることによりメモリ性駆動を行う液晶表示装置において、従来単層で形成していた強誘電体層を常誘電体と強誘電体の複合構造にすることにより、書き込み時においては駆動電圧を低減化し、かつ、強誘電体中の反電界を弱めリーケ電流を低減化することで、安定した保持状態を得ることができる。またこの構造をMFS-薄膜トランジスタのゲート絶縁膜に用いても同様に、低電圧で駆動することができる。

【0039】(実施形態3) 図6は本発明の液晶表示装置の構成の例を概略的に示す断面図であり、図7は図6に示した本発明の液晶表示装置のアレイ基板の平面構造の例を概略的に示す図である。なお図6、図7では単位画素の構造について示している。以下に図6、図7を用いて本発明の液晶表示装置の製造方法の例について説明する。

【0040】まず、ガラス基板501aの上にSiO_x(酸化シリコン)からなるアンダーコート層502を約200nmの厚さに成膜する。このアンダーコート層の材料としては例えばAl₂O_x(アルミナ)を用いるようにしてもよい。

【0041】このアンダーコート層501a上にMoとWの合金からなるゲート電極層503a及び補助容量電極層503bを膜厚約300nmにわたりスパッタ法により成膜した。ゲート電極材料としては例えばAl、Ta、Cu等あるいはこれらの合金を用いるようにしてもよい。また、この例ではMoとWの合金材料の1層で形成しているが、2種類以上の金属を積層してもよい。さらに、このゲート線及び補助容量電極層の表面はこのゲート電極及び補助容量電極層を構成する金属の酸化物、窒化物で被覆したところ特に耐酸性に優れ、断線などの欠陥が少なくなった。形成方法としては、スパッタ法を用いたが、CVD法、めっき法を用いてもよい。

【0042】ついでこの上にSiO_xとSiNxの単層または積層からなる絶縁体層504を400nm、アモルファスSi層からなる半導体層505を50nm、SiNxからなる半導体保護層506を200nm連続的に堆積し、所定の形状にパターニングした。絶縁体層504としては、TaO_xや複合ペロブスカイト酸化物材料（例えば（Ba、Sr）TiO₃）などの高誘電率材料を用いてもよい。また、複合ペロブスカイト酸化物材料（例えばPZT（Pb（Zr、Ti）O₃））や層状複合ペロブスカイト材料（例えばBa₂SrTa₂O₉）などの強誘電体材料を用いるようにしてもよい。さらに、これらの材料を適当な組成比で混合した複合材料で形成してもよい。特に高誘電率の材料を用いたところ、補助容量を形成する面積を小さくでき、開口率が高くなり、消費電力を大幅に低減することができた。

【0043】また半導体層505としては、アモルファスSiの他に多結晶シリコン（polycrystalline silicon）、单結晶Siでもよい。さらにGaAs、Ga、なども用いることができる。半導体保護層506についてもSiO_xなどの常誘電体を用いてもよいし、すでに例であげている高誘電体や強誘電体を用いてもよい。堆積方法としては、CVD法、スパッタ法、ゾルゲル法、レーザーアブレーション法などを用いることができる。

【0044】この上にコンタクト層507a、507bを厚さ約50nmにわたり成膜する。コンタクト層507a、507bとしては、P（リン）などを高濃度ドープしたn型アモルファスSiを堆積した。形成方法としては、CVD法やスパッタ法がある。

【0045】また、ドープしていないアモルファスSiを堆積した後、PH₃プラズマなどを用いてイオンドーピングすることにより、コンタクト層を形成するようにしてもよい。なお、半導体保護層506をマスクにして半導体層505の一部にn型Si層を形成し、チャネル層に自己整合的にソースドレイン電極を形成する方法を用いることもできる。

【0046】次に、ITO（Indium Tin Oxide）などの透明導電性物質からなる画素電極層508aを絶縁体層504上に厚さ約100nmにわたり

成膜し、所定の形状にパターニングした。画素電極508aの材料としては例えばAlなどの反射率の高い金属を用いるようにしてもよい。画素電極508aの大きさはここでは約100μm×約300μmにパターニングした。

【0047】この上にAl、Moの積層からなる信号線電極509a、509bを厚さ約300nmにわたり成膜した。信号線材料としてはこの他にもCu、Au、Agなどの低抵抗金属を用いるようにしてもよい。形成方法としてはスパッタ法が望ましいが、CVD法でもよいし、めっき法を用いるようにしてもよい。

【0048】次に、画素電極層508aの上にBaMnF₄を厚さ約1μmにわたり成膜し、一辺の長さ約1μmの島状にパターニングし、強誘電体層511を形成した。なお、強誘電体層511の材料としては、低誘電率の強誘電体材料が望ましく、例えばBaMnF₄以外にも、Gd₂（MoO₄）₃、KIO₃、Y MnO₃、Sb₂Nb₂O₇などを用いるようにしてもよい。また前述の強誘電体材料を用いるようにしてもよい。成膜方法についても前述の方法を用いればよい。また、単結晶を直接基板に貼りあわせる方法も可能である。なお図7の例では強誘電体を画素電極の大きさに比べて拡大して図示しているが、実際には強誘電体の島状パターンは画素電極に比べてずっと微細である。

【0049】次に、SiNxを200nm堆積し、所定の形状にパターニングし、無機パッシベーション層510を形成した。さらに、例えばBCB（ベンゾシクロブテン）などの透明な樹脂材料をSiNx上に膜厚約1μmにわたり堆積し、この上からケミカルメカニカルポリッシング法（CMP法）により所定の形状に平坦化処理を行い、有機パッシベーション層である常誘電体層512を形成した。

【0050】なお、SiNxの変わりに例えばSiO_xやAlO_x、TaO_xを用いるようにしてもよい。また、BCBの変わりにポリイミドやSOG（スピノングラス）やアクリル樹脂材料を用いるようにしてもよいが、BCBが特に好適であった。

【0051】この上にポリイミド層を約50nm形成し、ラビングプロセスを経て、液晶配向膜層513aを形成した。

【0052】以上より、画素電極と薄膜トランジスタがマトリクス状に配設されたアレイ基板を完成した。なおこの例では、液晶層514としては透過型のモードの材料としてTN液晶を用いたが、ゲストホスト型液晶を用いるようにしてもよいし、選択反射-透過モードのコレステリック液晶を用いるようにしてもよい。これ以外にも強誘電性液晶、反強誘電体液晶、高分子分散型液晶、OCBモード液晶を用いるようにしてもよい。これらは液晶表示モードにより必要に応じて適宜選択して用いるようにすればよい。

【0053】一方、対向基板となるガラス基板上501bに、クロムからなるブラックマトリクス層515を約200nm膜厚で形成し、3色のカラーフィルター層516を形成し、さらにITOからなる透明電極層508bを約100nm膜厚で形成し、その上にポリイミド層を約50nm膜厚で形成してラビング処理をし、液晶配向層513bを形成し対向基板を形成した。

【0054】このように形成したアレイ基板と対向基板をスペーサを介して対向配置し、この間隙に液晶層514を挟持し、その周囲をシール材で封止することにより、液晶表示装置を完成した。

【0055】(実施形態4) ここで、常誘電体層512及び強誘電体層511の概周期的構造を有する誘電体膜層の構成の例について説明する。

【0056】図8、図9、図10は画素電極508a上に配設した常誘電体層と強誘電体層とを概周期的配設した誘電体膜層の構成の例を模式的に示す図である。図8(a)、図8(b)、図8(c)、図8(d)、図8(e)、図8(f)は強誘電体601と常誘電体602とを有する誘電体膜の平面構造の例を示しており、常誘電体602からなるマトリクス中に、柱状の強誘電体601が概周期的に配設された例と、強誘電体601からなるマトリクス中に、柱状の常誘電体602が概周期的に配設された例とを示している。

【0057】図8(a)のように絶縁膜層602の中に規則正しく円柱状の強誘電体601を埋め込んでもよいし、図8(b)のように四角形、あるいは、図8(c)のように楕円形からなる強誘電体601を形成してもよい。また、図8(f)のように、縞状構造でもよい。このような構造には低電圧以外にもいくつかの利点がある。例えばこれらのように規則正しく強誘電体を配列することにより、液晶層にむらなく電界をかけることができた。これらの柱状構造の大きさは1種類あるいは複数の種類からなってもよいし、ランダムな大きさからなるものでもよい。

【0058】つぎに誘電体膜の断面構造の例について説明する。

【0059】図9(a)、図9(b)、図9(c)、図9(d)、図9(e)、図9(f)、図9(g)、図9(h)、図10(i)、図10(j)、図10(k)、図10(l)、図10(m)、図10(n)、図10(o)は、強誘電体601と常誘電体602とを有する誘電体層の断面構造の例を模式的に示している。

【0060】柱の形状は図9(d)のような構造でもよいし、図10(m)のように錐体形状をとってもよい。特に図10(m)のように錐体構造をとることによりパッセーション層の強誘電体に対するカバレッジがよくなり、リーコ電流を低減することができた。強誘電体層を形成する前に常誘電体層(パッセーション層)を形成することも可能であるが、この場合は図10(n)の

ような構造を取ると、強誘電体層の常誘電体層に対するカバレッジがよくなり、またリーコ電流を低減することができた。

【0061】また、柱状構造の高さは同じでもよいし、異なっていてもよい。図10(i)のように高さが異なる構造では、強誘電体層の膜厚が場所により異なることにより、強誘電体の分極反転の閾値電圧を異ならせることができる。具体的には、図10(k)のように多層からなるパッセーション層の中に強誘電体を重ねることで形成するようにしてもよい。強誘電体の代わりに図10(l)のように一部金属層を埋め込むようにしてもよい。また、図10(o)のように上層と下層の強誘電体柱の周期を異ならせる方法を用いることによって、膜厚の異なる強誘電体柱を分布させるようにすることができる。これらの構造を採用することにより、液晶層に印加する電圧を多階調化することができる。なお、強誘電体層中に円形、四角形、楕円形からなる常誘電体柱を埋め込むようにしてもよい。これら強誘電体あるいは常誘電体の柱状構造は図9(h)のように2種類以上の材料から作ってもよい。この場合には強誘電体601と誘電率の異なる強誘電体601bと、常誘電体602と誘電率の異なる常誘電体602bを強誘電体601および常誘電体602とともに組み合わせて誘電体層を構成している。2種類以上の材料を用いることにより、さらに液晶層を駆動する際に多階調制御を行うことができる。

【0062】これまで、常誘電体層中に強誘電体の柱状構造を埋め込む構造であったが、図9(b)のように球状あるいは楕円体状の強誘電体を配設するようにしてもよい。この球状、あるいは楕円体状の強誘電体層の大きさは等しくても異なっていてもよい。また、逆に強誘電体中に図9(a)のように球状あるいは楕円体状の常誘電体あるいは図9(c)のように金属材料(金属酸化物を含む)603を埋め込むようにしてもよい。これら球体あるいは楕円体の配列は規則正しく配設するようにしてもよいが、例えば図9(e)のようにランダムに配設することにより、図10(m)のようにすることにより光の拡散が大きくなり、より広い視野角を得ることができた。

【0063】さらに、図9(c)のように金属球体を用いると、金属による光の吸収により、強誘電体層を黒色化することができた。この場合用いる金属としては、可視光領域に波長の吸収の大きい金属、金属酸化物を用いるようにすればよい。例えばこの光吸収性物質を、薄膜トランジスタのチャネル上に形成することで、薄膜トランジスタの光リーコ電流を低減することができた。また、コレステリック液晶の選択反射モードを用いた液晶表示装置に必要な黒色画素電極としても用いることができた。

【0064】(実施形態5) 次に本発明の薄膜トランジスタについて説明する。図11は本発明の薄膜トランジ

スタの断面構造を概略的に示す図である。この薄膜トランジスタは、ゲート絶縁膜の一部を強誘電体により構成した、M F I S構造の薄膜トランジスタである。図11(c)は本発明の薄膜トランジスタの断面構造を概略的に示す図であり、図11(a)、図11(b)は本発明の薄膜トランジスタの平面構造を説明するための図である。なお、図11(c)の断面構造は、図11(a)のA-A'方向の断面構造に対応している。

【0065】図示しないガラス基板の上にアンダーコート層を形成し、この上にM oとWの合金からなるゲート電極層801を300nm形成した。材料としてはA I、Ta、Cu等を用いるようにしてもよい。あるいはこれらの合金でもよい。また、本実施例ではM oとWの合金材料の1層で形成されているが、2種類以上の金属を積層してもよい。また、このゲート線及び補助容量電極層の表面はこのゲート電極及び補助容量電極層を構成する金属の酸化物、窒化物で被覆されると特に耐酸性に優れ、断線などの欠陥が少なくなった。形成方法としては、スパッタ法を用いたが、CVD法、めっき法を用いるようにしてもよい。

【0066】次にBaMnF₄を厚さ約300nmにわたって成膜したあとパターニングして、強誘電体層802を形成した。なお、強誘電体層801の材料としては、低誘電率の強誘電体材料が望ましく、BaMnF₄以外にもGd₂(MoO₄)₃、K₂IO₃、YMnO₃、Sb₂Nb₂O₇などを用いるといい。またこれ以外にも、前述の実施形態で説明した強誘電体材料を用いるようにしてもよい。堆積方法についても前述の実施形態と同様に行うようにすればよい。

【0067】次にSiO_xを膜厚約500nmにわたって堆積し、この後、CMP(ケミカルメカニカルポリッシング)法により平坦化を行うことで、強誘電体島802のまわりに絶縁体層803を形成した。絶縁体層803の材料としてはこの他にもSiNxやTaO_xを用いるようにしてもよいし、ペロブスカイト系等の強誘電体を用いるようにしてもよい。

【0068】次に、SiNxを約100nm、a-Siを約300nmの厚さに成膜し、フォトリソグラフィー法等によりパターニングして、SiNx層804、半導体層805を形成した。なお、SiNx層についてもSiO_x他の絶縁体材料を用いることはなんら問題はない。また半導体層805としては、多結晶Siや単結晶Siを用いるようにしてもよいし、Se、Ge、GaAsなどの他の半導体を用いるようにしてもよい。

【0069】次に、コンタクト層806を膜厚約50nmにわたって成膜した。コンタクト層806としては、P(リン)などの不純物を高濃度ドープしたn型アモルファスSiを堆積した。B(ホウ素)などの不純物を高濃度ドープしたp型アモルファスSiを堆積するようにしてもよい。コンタクト層806の形成方法としては、

CVD法やスパッタ法がある。また、ドープしていないアモルファスSiを堆積した後、PH₃プラズマなどを用いてイオンドーピングすることにより、コンタクト層を形成してもよい。

【0070】次に、Al、Moの積層からなる信号線電極509a、509bを300nm形成した。信号線電極材料としては、この他にも例えばCu、Au、Agなどの低抵抗金属を用いるようにしてもよい。形成方法としてはスパッタ法が望ましいが、CVD法でもよいし、めっき法を用いるようにしてもよい。

【0071】この上に必要に応じてSiNxやSiO_xなどのバッシャベーション層を形成してもよい。

【0072】なお、強誘電体層802のパターニングの形状としては、島状に行つた(図11(a))が、ストライプ状に行うようにしてもよい(図11(b))。ストライプ状にする場合、図11(b)に示すようにソースドレイン間の電流の流れる方向に平行にした方が、移動度(モビリティ)が高く、閾値電圧(スレッシュホールドボルテージ)も低くすることができた。これはゲート絶縁膜中に配設されるストライプ状の強誘電体により、半導体膜中にキャリアが移動するためのチャネルを安定して確保することができるためである。

【0073】以上により、強誘電体膜と絶縁膜の積層膜をゲート絶縁膜に持つM F I S-T F Tを形成できた。このT F Tは通常のM F I S-T F Tに比べて低電圧で駆動ができた。

【0074】このように、本発明の薄膜トランジスタでは、従来単層で形成していた強誘電体層を常誘電体と強誘電体の複合構造にすることにより、駆動電圧を低減化し、かつ、強誘電体中の反電界を弱めリーク電流を低減化することで、安定した保持状態を得ることができる。

【0075】(実施形態6)図12は本発明の薄膜トランジスタの構造の別の例を概略的に示す図である。図11に例示した本発明の薄膜トランジスタは逆スタガ型の薄膜トランジスタであるのに対し、図12では順スタガ型のM F I S構造の薄膜トランジスタの例を示す。

【0076】ガラス基板の上にアンダーコート層を形成し、この上にM oとWの合金からなるソース、ドレン電極層901を300nm形成した。材料としてはA I、Ta、Cu等などを用いるようにしてもよい。あるいはこれらの合金でもよい。また、本実施例ではM oとWの合金材料の1層で形成されているが、2種類以上の金属を積層してもよい。また、このゲート線及び補助容量電極層の表面はこのゲート電極及び補助容量電極層を構成する金属の酸化物、窒化物で被覆されると特に耐酸性に優れ、断線などの欠陥が少なくなった。形成方法としては、スパッタ法を用いたが、CVD法、めっき法を用いるようにしてもよい。

【0077】次に、コンタクト層902を50nm形成した。コンタクト層902としては、Pなどを高濃度ド

ープしたn型アモルファスSiを堆積した。形成方法としては、CVD法やスパッタ法がある。

【0078】次に、a-Siを400nm、SiNxを200nm堆積し、パターニングをして、半導体層903、ゲート絶縁膜層904を形成した。なお、ゲート絶縁膜層904についてもSiOx他の絶縁体材料を用いることはなんら問題はない。また半導体層903としては、多結晶Siや単結晶Siを用いるようにしてもよいし、Se、Ge、GaAsなどの他の半導体を用いることももちろん可能である。

【0079】次にBaMnF₄を300nm形成し、パターニングし、強誘電体層905を形成した。なお、強誘電体層905の材料としては、低誘電率の強誘電体材料が望ましく、BaMnF₄以外にもGd₂(MoO₄)₃、KIO₃、YMnO₃、Sb₂Nb₂O₇などを用いるとよい。またこれ以外にも、前述の実施形態で示した強誘電体材料を用いるようにしてもよい。堆積方法についても前述同様に行うようにすればよい。

【0080】なお図12の例では、半導体膜903とゲート電極907とを絶縁するゲート絶縁膜中に、強誘電体905を島状パターンに配設した例を説明したが、例えば図11(b)のようにソース・ドレイン間にチャネルを確保するようにソース・ドレイン方向と平行なストライプ状パターンに配設するように形成するようにしてもよい。

【0081】次にSiOxを500nm堆積し、この後、CMP(ケミカルメカニカルポリッシング)法により平坦化を行うことで、強誘電体島905のまわりに絶縁体層906を形成した。材料としてはこの他にもSiNxやTaOxを用いるようにしてもよいし、ペロブスカイト系等の強誘電体を用いるようにしてもよい。

【0082】次にAl、Moの合金を堆積しパターニングして、ゲート電極907を形成した。

【0083】以上により順スターゲー型のMFISETを得ることができた。図11に示した本発明の薄膜トランジスタと形成工程は異なるものの、この薄膜トランジスタも低電圧で駆動することができる。

(実施形態7) 上述した各実施形態で説明した本発明の液晶表示装置、本発明の薄膜トランジスタにおいて強誘電体としてBMFを、常誘電体としてBCBを組み合わせて用いた複合的な誘電体層を形成したところ、他の強誘電体、常誘電体を用いた場合に比べより優れた特性を得ることができた。

【0084】BMFは誘電率が低いため(10以下)低電圧駆動を行うことができる。

【0085】またBMFはITOとの密着性がよく、例えば画素電極との密着性を向上することができた。比較のため強誘電体としてPZTをITOからなる画素電極上に配設したところ膜剥がれが多発したが、BMFを用いた場合には膜剥がれは見られなかった。またBMFは

低温プロセスで成膜することができる。PZTは成膜後約700°C程度の温度でアニールを行う必要があるが、BMFでは約200°C~約400°C程度の比較的低温でアニールを行うことができる。したがって、液晶表示装置の製造プロセスでの熱負荷を小さくすることができる。また、BMFはPZTと比べてテーエッティングなどエッティングによる成形性が高かった、したがってBCBなどの常誘電体による被覆性を向上することができた。

【0086】さらに、いま抗電界をEc、強誘電体膜厚をdfとすると、液晶保持電圧は概略的にはEc × dfで与えることができる。例えば強誘電体としては比較的誘電率の低いGMOを用いた場合、その抗電界Ecは約10~20kV/cmであるために、約5μm~10μm程度の膜厚に成膜する必要がある。このため成膜工程に要するタクトタイムが長くなり生産性が低下してしまう。これに対しBMFの抗電界Ecは約100~200kV/cmであるため、約0.5μm~1μm程度の厚さに成膜すればよい。したがって生産性の面でもBMFを用いることが好適である。

【0087】BCBは誘電率が低く(約3程度)く成形性も良好な常誘電体である。例えばITO上に配設したところ密着性も高かった。アクリル系樹脂をITO上に用いたところ膜剥がれが見られたが、BCBでは膜剥がれは見られなかった。

【0088】またBCBは約200°C程度以下の低温で焼成することができる。このためアレイ基板、半導体膜などに与える熱負荷が小さい。

【0089】本発明の液晶表示装置、薄膜トランジスタが備える常誘電体と強誘電体の複合的な誘電体層としては、常誘電体としてBCBを、強誘電体としてBMFを用いることが好適である。

【0090】さらに、BCBとBMFは熱膨張率の差が小さいため、製造工程や、製造後に温度負荷がかかった場合に生じる応力が小さい。したがって高い密着性を得ることができた。したがってBCB焼成後にもBCB/BMF界面の膜剥がれなく、またBCBに殆どクラック等が生じなかった。比較のためアクリルとBMFとを組み合わせて誘電体層を形成したところ、膜剥がれが多く見られ、またアクリルにクラックが多発した。

【0091】このようにBCBとBMFとは密着性が高いため、BCB/BMF界面でのリーク電流を低減することができた。したがって保持特性、メモリー性を向上することができた。

【0092】また例えばアクリル樹脂とBMF、BCBとPZT、アクリルとPZTとをそれぞれ組み合わせて誘電体層を形成したところ抵抗率は $1 \times 10^9 \sim 1 \times 10^{11} \Omega \text{cm}$ 程度となり、長時間にわたって十分な保持特性を維持することは困難であった。これに対して、BMFとBCBとを組み合わせて用いることにより 1×10

$10^3 \Omega \text{ cm}$ 程度の高い抵抗率を得ることができた。したがって、長時間にわたって十分な保持特性を維持することができた。

【0093】このように本発明の液晶表示装置、薄膜トランジスタが備える常誘電体と強誘電体との複合的な誘電体層を、B MFとB C Bとを組み合わせて形成することにより優れた特性を実現することができた。

【0094】

【発明の効果】このように、本発明では、強誘電体を画素電極の上に形成し液晶層と直接接触させることによりメモリー性駆動を行う液晶表示装置において、従来単層で形成していた強誘電体層を常誘電体と強誘電体の複合構造にすることにより、書き込み時においては駆動電圧を低減化し、かつ、強誘電体中の反電界を弱めリーキ電流を低減化することで、安定した保持状態を得ることができる。またこの構造をM F I S-薄膜トランジスタのゲート絶縁膜に用いても同様に、低電圧で駆動することができる。とくに、常誘電体と強誘電体との概周期的配設ピッチを約 $5 \mu\text{m}$ 程度以下にすることにより、液晶層に表示信号電圧を均一に印加することができ、表示品質を向上することができる。

【0095】さらに、強誘電体としてB MFを、常誘電体としてB C Bを組み合わせて用いることにより、画素電極との密着性を向上することができる。

【0096】本発明の薄膜トランジスタによれば、強誘電体層を常誘電体と強誘電体とを概周期的に配設した複合構造にすることにより、駆動電圧を低減化することができる。また強誘電体中の反電界を弱めリーキ電流を低減化することができ、安定した保持状態を得ることができる。さらに、強誘電体を薄膜トランジスタのソース・ドレイン方向と平行なストライプ状に配設することにより、チャネルにキャリアの移動する経路を安定して確保し、薄膜トランジスタの特性を均一化し、信頼性を向上することができる。

【図面の簡単な説明】

【図1】従来のアクティブラチクス型液晶表示装置の構成を概略的に示す図。

【図2】従来の液晶表示装置の画素構成を概略的に示す図。

【図3】画素電極上に強誘電体層を備えた液晶表示装置の構成を模式的に示す図。

【図4】強誘電体を画素電極上に配設した液晶表示装置の画素構造の例を概略的に示す図。

【図5】本発明の液晶表示装置の構成の例を概略的に示す図。

【図6】本発明の液晶表示装置の構造の例を概略的に示す断面図。

【図7】図6に例示した本発明の液晶表示装置のアレイ基板の平面構造の例を概略的に示す図。

【図8】常誘電体層と強誘電体層とを概周期的配設した

誘電体膜層の構成の例を模式的に示す図。

【図9】常誘電体層と強誘電体層とを概周期的配設した誘電体膜層の構成の例を模式的に示す図。

【図10】常誘電体層と強誘電体層とを概周期的配設した誘電体膜層の構成の例を模式的に示す図。

【図11】本発明の薄膜トランジスタの断面構造を概略的に示す図。

【図12】本発明の薄膜トランジスタの構造の別の例を概略的に示す図。

【図13】本発明の液晶表示装置の構成の例を模式的に示す図。

【図14】強誘電体と常誘電体からなる誘電体層の駆動電圧 ΔV を示す図。

【図15】強誘電体と常誘電体のストライプ幅を等しくし($s = 0.5$)、その幅を $0.5 \mu\text{m} \sim 5 \mu\text{m}$ にわたって変化させたときの強誘電体と液晶層の界面での電位分布を示すグラフ。

【図16】電界分布の標準偏差の強誘電体のストライプ幅への依存性を示すグラフ。

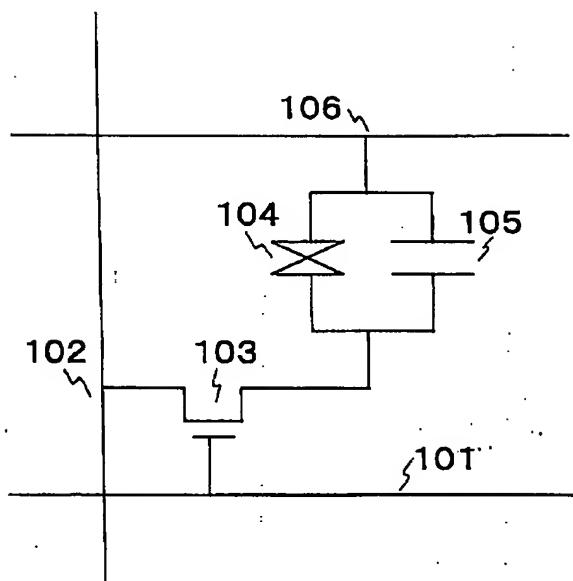
【符号の説明】

- 101…………ゲート線
- 102…………信号線
- 103…………TFT (薄膜トランジスタ)
- 104…………液晶
- 105…………補助容量 (C_s)
- 106…………対向電極線
- 201…………ゲート線
- 202…………信号線
- 203…………TFT
- 204…………液晶
- 205…………強誘電体
- 206…………対向電極線
- 207a…………画素電極
- 207b…………対向電極
- 301…………ゲート線
- 302…………信号線
- 303…………TFT
- 304…………液晶
- 305…………強誘電体
- 306…………対向電極線
- 307a…………画素電極
- 307b…………対向電極
- 308…………絶縁体層
- 401a…………画素電極
- 401b…………対向電極
- 402…………強誘電体
- 403…………液晶
- 404…………常誘電体
- 501a…………ガラス基板
- 501b…………ガラス基板

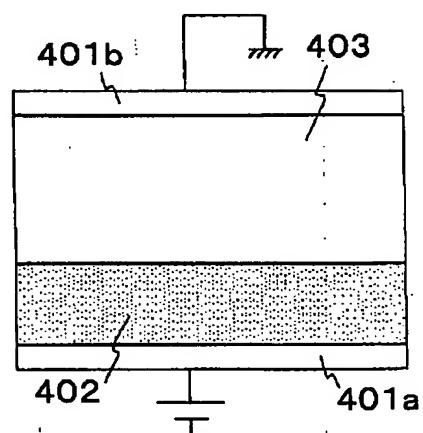
502.....アンダーコート層
 503a.....ゲート電極
 503b.....補助容量電極
 504.....ゲート絶縁膜層
 505.....半導体層
 506.....半導体保護層
 507a.....コンタクト層
 507b.....コンタクト層
 508a.....画素電極
 508b.....対向電極
 509a.....ドレイン電極
 509b.....ソース電極
 510.....常誘電体層
 511.....強誘電体
 512.....絶縁体層
 513a.....配向層
 513b.....配向層
 514.....液晶
 515.....ブラックマトリクス層

516.....カラーフィルター層
 601.....強誘電体
 602.....絶縁体層
 603.....金属
 801.....ゲート電極
 802.....強誘電体
 803.....絶縁体層
 804.....ゲート絶縁膜層
 805.....半導体層
 806.....コンタクト層
 807.....ソース・ドレイン電極
 901.....ソース・ドレイン電極
 902.....コンタクト層
 903.....半導体層
 904.....ゲート絶縁膜
 905.....強誘電体
 906.....絶縁体層
 907.....ゲート電極

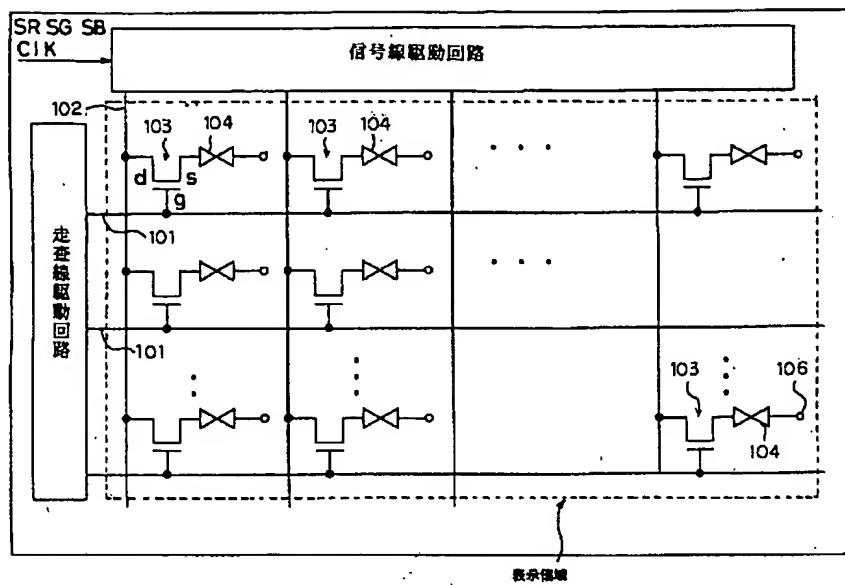
【図1】



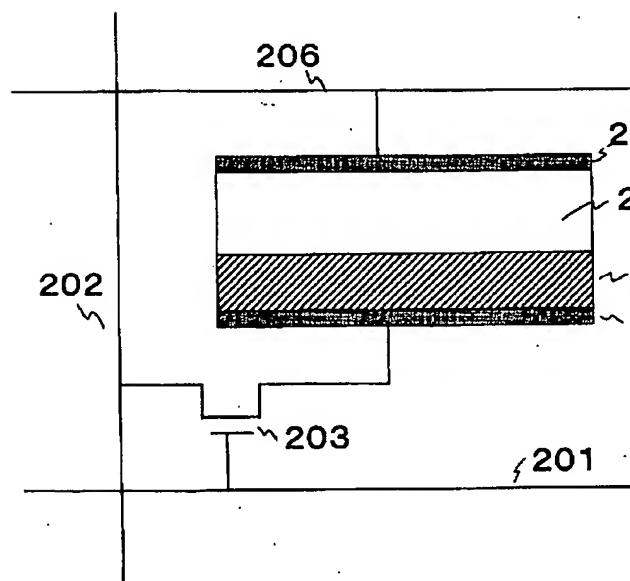
【図4】



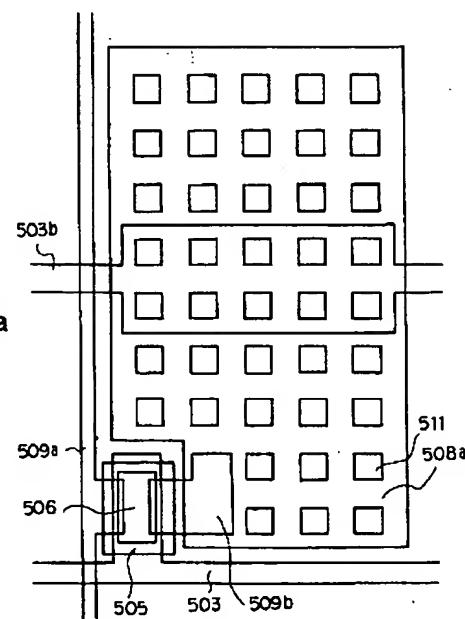
【図2】



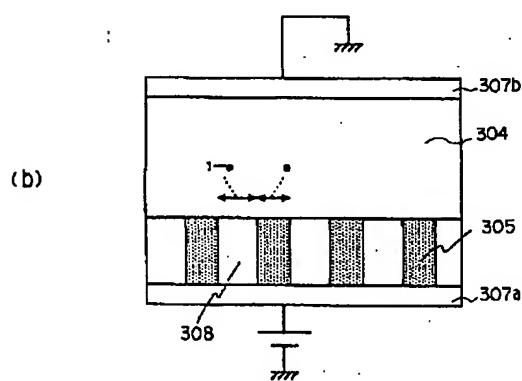
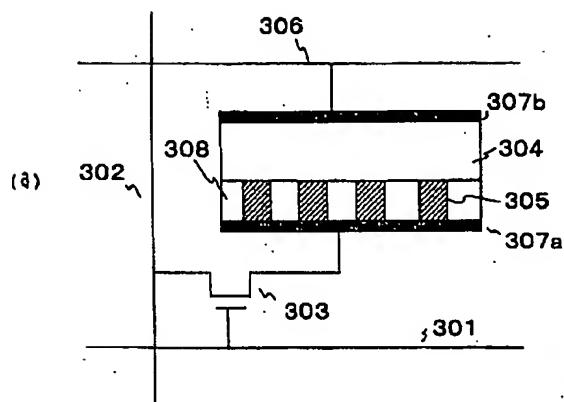
【図3】



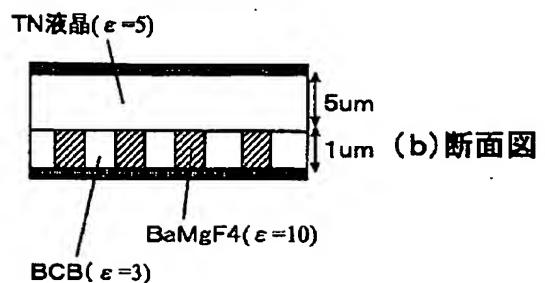
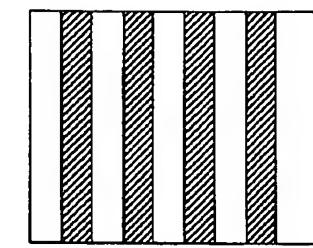
【図7】



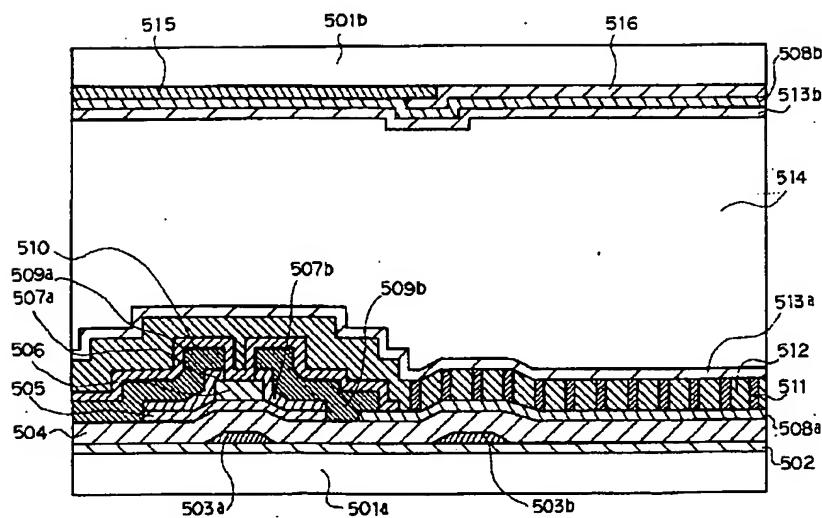
【図5】



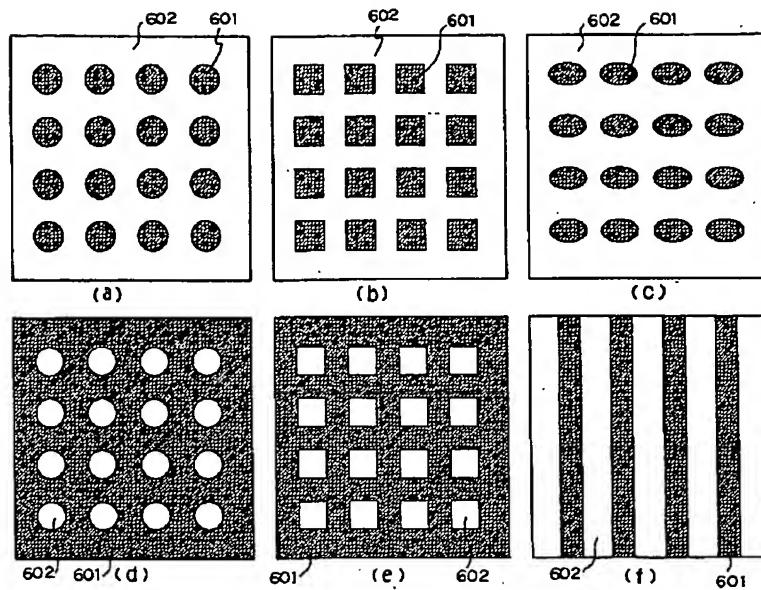
【図13】



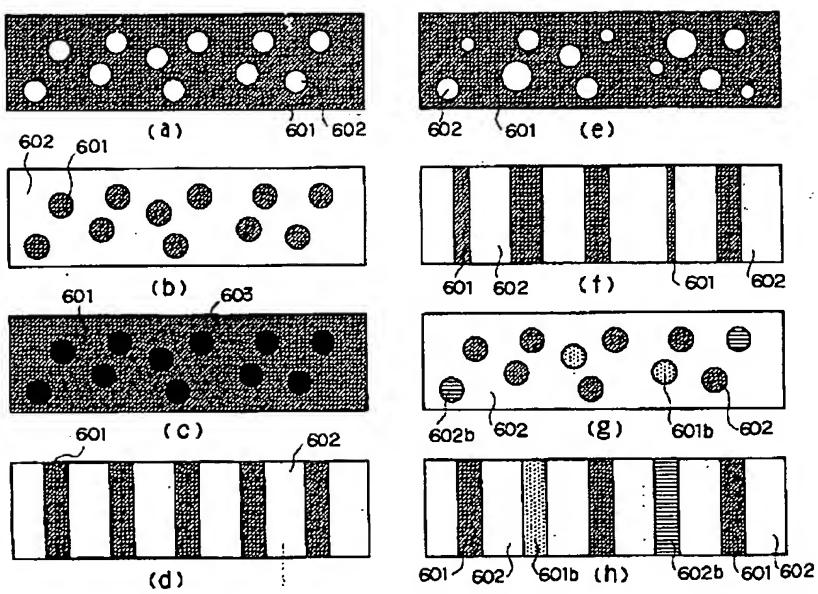
【図6】



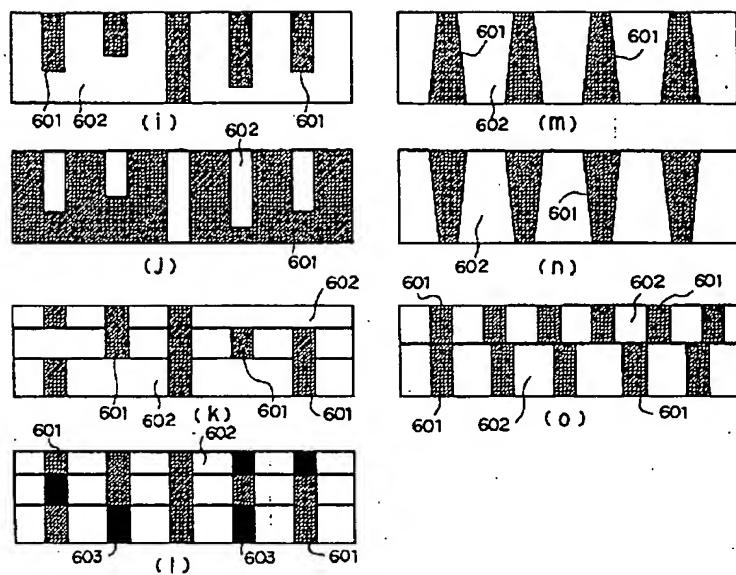
【図8】



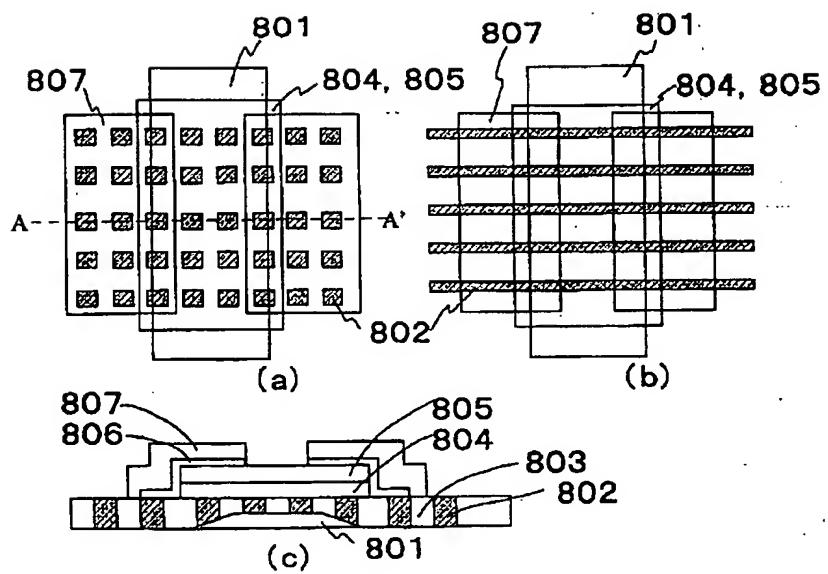
【図9】



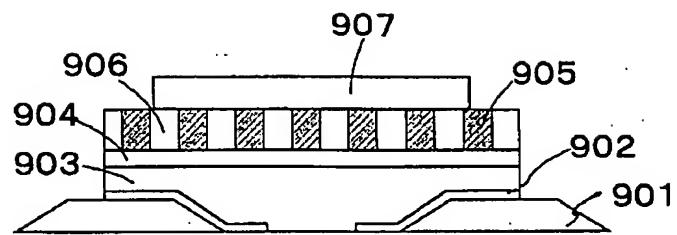
【図10】



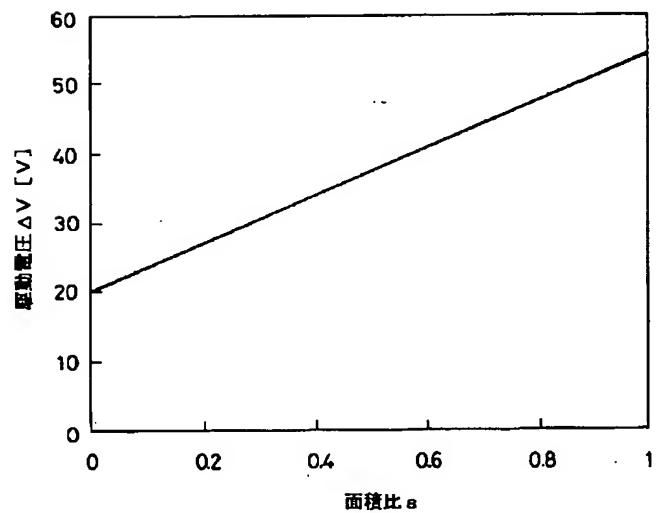
【図11】



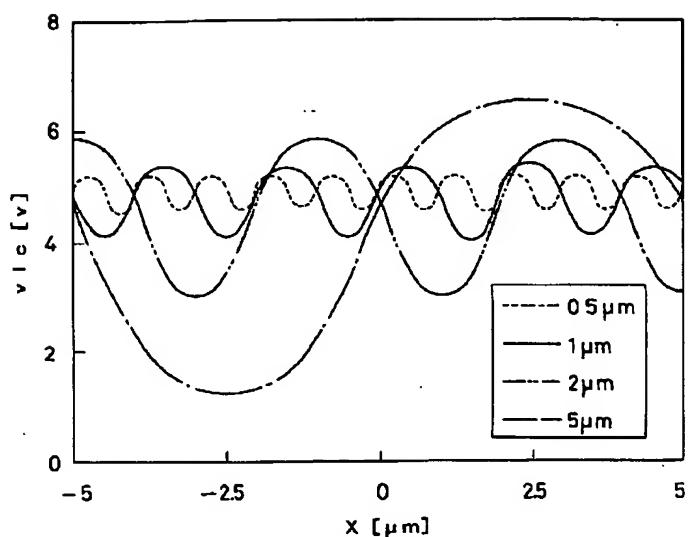
【図12】



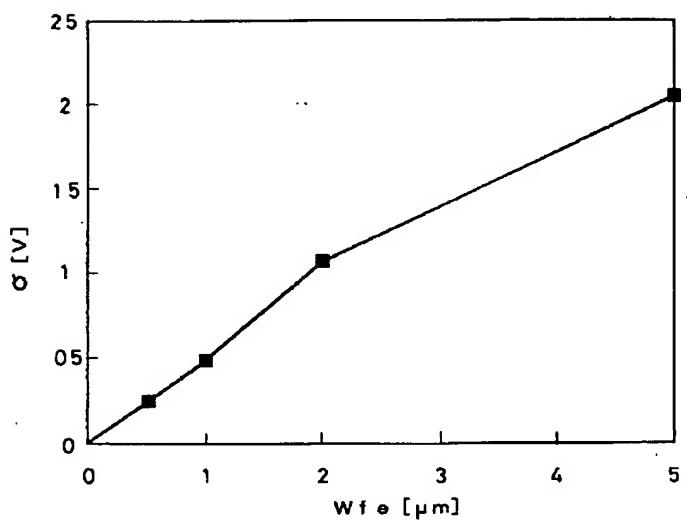
【図14】



【図15】



【図16】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 01 L 29/78

627A